

计算机体系结构 I（三合一）试题复刻

2023

一、不定项选择题

1. 为使 NPN 晶体管工作于放大区，发射结和集电结需满足

- A. 发射结正偏，集电结正偏
- B. 发射结正偏，集电结反偏
- C. 发射结反偏，集电结正偏
- D. 发射结反偏，集电结反偏

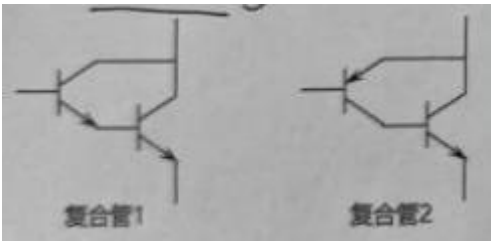
2. 场效应管组成放大电路的输出特性可以分为 3 个区，分别是

- A. 可变电阻区
- B. 恒压区
- C. 恒流区
- D. 截止区

3. 工作在放大区的晶体管，当 I_B 从 $12\ \mu\text{A}$ 增大到 $22\ \mu\text{A}$ 时， I_C 从 $1\ \text{mA}$ 变为 $2\ \text{mA}$ ，那么他的 β 约为

- A. 100
- B. 91
- C. 83
- D. 120

4. 下图所示的复合管的等效管类型分别为



- A. NPN, NPN
- B. NPN, PNP
- C. PNP, NPN
- D. PNP, PNP

5. 直流稳压电路中的滤波电路的目的是

- A. 将交流变为直流
- B. 将高频变为低频
- C. 将正弦波变为方波
- D. 过滤交流成分

6. 针对如下真值表的 与或式 和 或与式 书写正确的是

A	B	C	Y
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

选项略

7. 关于组合逻辑的传播延迟与最小延迟说法错误的是

- A. 组合逻辑电路的时序特征包括传播延迟和最小延迟

- B. 传播延迟是输入改变直到一个/多个输出达到他们的终值所经历的最长时间
- C. 最小延迟是当一个输入发生变化直到任何一个输出开始改变的最短时间
- D. 电路产生延迟的基本原因不包括电路中电容充电所需要的时间

8. 下面代码描述正确的是

- A. 锁存器 (clk 为时钟, q 为输出, d 为输入)

```
always_latch  
  
    if(clk)  q<=d;
```

- B. 反相器 (y 为输出, a 为输入)

```
always_comb  
  
    y=-a;
```

- C. 异步复位

```
always_ff@(posedge clk, posedge reset)  
  
    if(reset)  q<=4' b0;  
  
    else      q<=d;
```

- D. 同步复位

```
always_ff@(posedge clk)  
  
    if(reset)  q<=4' b0;  
  
    else      q<=d;
```

9. 下列描述错误的是

- A. 时序逻辑电路的输出取决于当前和先前的输入
- B. 虽然有多种形式的时序逻辑, 最容易设计的是同步时序逻辑电路
- C. 有限状态机是设计时序电路的强有力技术

D. 整个系统的性能可以用延迟和吞吐量来度量，并行可以增加系统的延迟

10. 下列关于数制系统描述错误的是

A. 计算机可以对整数和小数进行运算

B. 定点表示法有一个位于整数和小数位之间的隐含二进制小数点

C. 有符号定点数可以用二进制补码或带符号的原码表示

D. 浮点数表示与科学计数法不同，其解决了整数与小数位长度固定的限制

11. 相比 CISC 处理器，RISC 处理器的优点在于

A. 设计简单

B. 代码密度

C. 易于流水线执行

D. 特殊寄存器多

12. ARM 体系结构设计中“规整性支持简单设计”准则的体现包括

A. 指令为等长 32 位

B. 指令都有 4 位条件码

C. 数据处理指令都是三操作数

D. 支持多种寻址模式

13. 以下关于流水线技术，正确的描述有

A. 可显著减少每个任务的延迟

B. 可以提高整个工作的吞吐率

C. 其效率与每一级的延迟无关

D. 允许多个任务同时执行

14. 高速缓存的类型包括

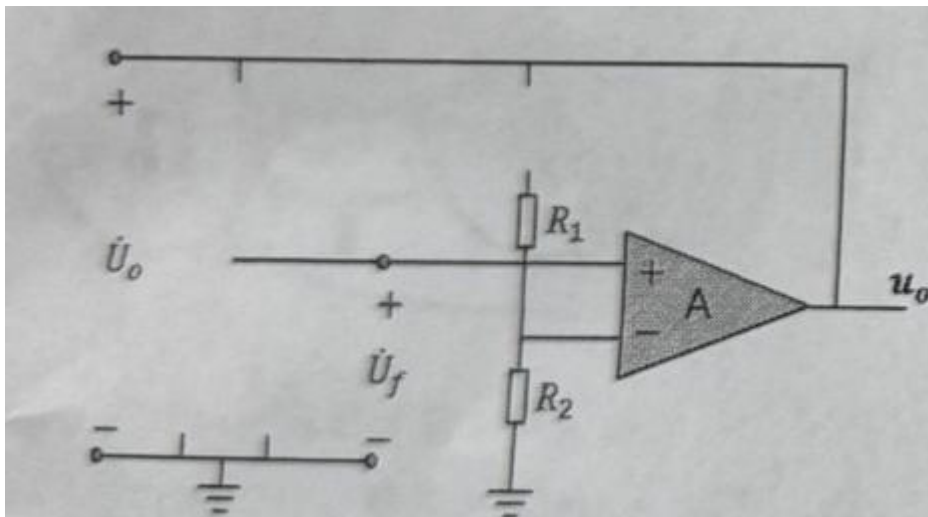
- A. 数据高速缓存
B. 指令高速缓存
C. 地址高速缓存
D. 统一高速缓存

15. 虚拟储存器在计算机系统中的作用包括

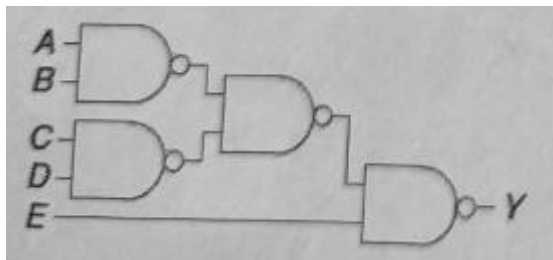
- A. 扩大存储空间
- B. 并发程序间的存储保护
- C. 提高物理内存访问速度
- D. 提高主存命中率

二、问答与画图题

1. 自激振荡电路由哪几部分构成，描述自激振荡电路各部分的功能与作用
2. 画出使用理想运放组成仪表运放（三运放电路）的电路图
3. 补全下面电路图。已知自激振荡电路采用理想运放作为输出，请补全采用 RC 器件组成的文氏桥选频网络；为达到振荡稳定条件，请补全非线性放大器件。



4. 简述德摩根律的定义，并基于德摩根律用推气泡法化简下图，并写出表达式



5. 请说明 Moore 状态机与 Mealy 状态机的各自定义与他们的区别，并举例画图说明同一功能 FSM 的不同状态机的状态转换图

6. 请找出如下程序中的流水线冲突，并说明属于哪一类冲突，简述造成每一类流水线冲突的原因是什么，如何解决？请为每一类冲突提供至少两种解决技术（不包括流水线停顿），并简述原理

```
TOO    MOV    R1, #100

        ADD    R0, R3, R2

        LDR    R7, [R0, #8]

        SUBS   R1, R1, #1

        BNZ    TOO
```

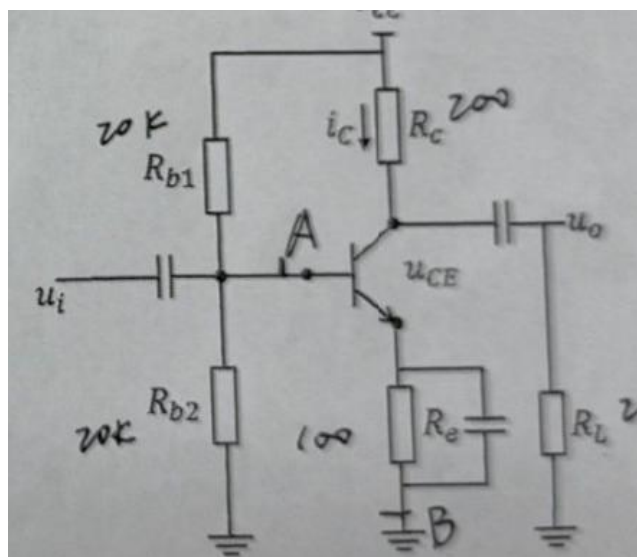
7. 高速缓存有哪几种地址映射方式？请简述每种方式的映射方法，以及各自有什么优缺点？

三、计算题

1. 如图所示共射极晶体管放大电路，已知 $V_{CC}=15V$ ，分压电阻 $R_{b1}=20\text{ k}\Omega$ ， $R_{b2}=20\text{ k}\Omega$ ，其他端口电阻 $R_e=0.1\text{ k}\Omega$ ， $R_C=R_L=0.2\text{ k}\Omega$ ，电容可以做到理想的隔直通交作用。设晶体管放大系数 $\beta=99$ ， $r_{bb'}=0.3\text{ k}\Omega$ ， $U_{BEQ}=0.7V$ ， $r_{be} = r_{bb'} + \frac{U_T}{I_{BQ}}$ ， U_T 取 26 mA 。

(1) 求该放大电路的静态工作点 I_{BQ} , U_{CEQ}

(2) 求电路的动态放大系数 A_u



2. 针对定点数与浮点数系统做以下计算

(1) 以 16 位带符号的原码（其中 8 整数位 8 小数位）分别表示 13.5625 和 42.3125，再用十六进制表示最终结果。二进制和十六进制均要写出。

(2) 复合 IEEE754 标准的两个单精度浮点数的 0x3FC00000 和 0x40500000 相加，请写出加法计算过程，并把最后结果以十六进制数表示。

3. 某多周期 ARM 处理器按照课程中所讲授的那样设计，在理想存储器系统情况下，分支指令需要 3 周期，数据处理指令和写存储器指令 STR 需要 4 周期，读存储器指令 LDR 需要 5 周期，主频 1GHz，假设为该多周期 ARM 处理器设计了分离的指令和数据高速缓存（哈佛结构），高速缓存访问延迟 1ns。

(1) 假设指令高速缓存总是命中，但数据高速缓存有 8% 缺失率，在高速缓存缺失时，处理器暂停 50ns 访问主存，之后恢复正常操作，在考虑高速缓存缺失的情况，数据的平均内存访问时间为多少？

(2) 考虑该非理想的存储器系统，平均每条读存储器指令 LDR 和写存储器指令

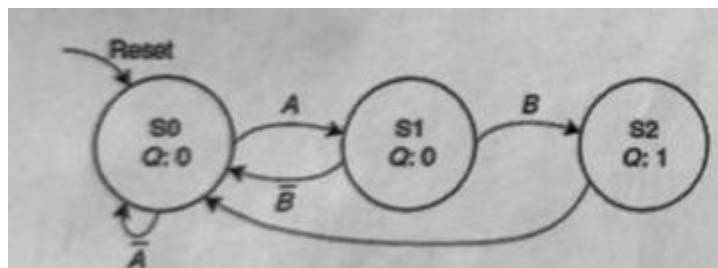
STR 需要多少个时钟周期？

(3) 假设某基准测试程序, 其中有 15% 的读存储器指令, 20% 的写存储器指令, 10% 的分支指令, 55% 的数据处理指令, 对于该非理想化的存储器系统, 这个基准测试程序的平均 CPI 是多少？

(4) 现在假设指令高速缓存也是非理想的, 缺失率为 5%, 那么 (3) 中基准测试程序的平均 CPI 是多少？要同时考虑指令与数据缓存的缺失。

四、编程题

1. 基于如下的状态机图, 先写出状态机的状态编码表、状态转换表、状态输出表 (二进制码), 写出下一个状态和输出的布尔表达式, 画出这个状态机的原理图, 再用 System Verilog 硬件描述语言编程实现该状态机。



2. 用 ARM 汇编代码实现下列 C 语句, 假设 i 位于寄存器 R_0 中, 数据 a , b 使用前已初始化, 基地址保存在 R_1 和 R_2 中, 数组 x 的基地址保存在 R_3 中。

```
int i, a[100], b[100], z[100];

for (i=0; i<100; i++)
{
    if (b[i] < a[i])  z[i] = a[i] - b[i];
    else             z[i] = b[i] - a[i];
}
```